

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representation of  
The original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-272479  
(43)Date of publication of application : 18.10.1996

(51)Int.Cl.  
G06F 1/08  
G06F 1/04  
H03K 3/02  
H03K 23/64

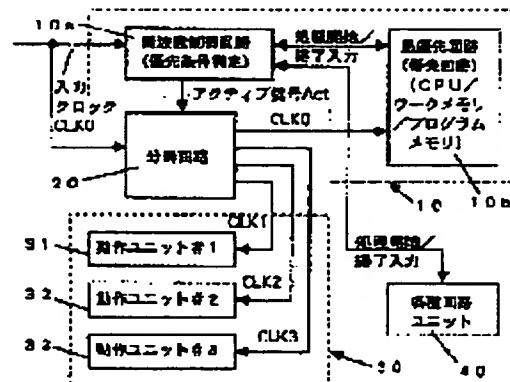
(21)Application number : 07-075855 (71)Applicant : NKK CORP  
(22)Date of filing : 31.03.1995 (72)Inventor : SASAKI YASUKI

## (54) VARIABLE CLOCK GENERATION DEVICE

### (57)Abstract:

**PURPOSE:** To suppress increase of the current consumption of a power supply without deteriorating the overall system performance.

**CONSTITUTION:** A variable clock generation device supplies the clocks to the units 31 and 32 which operate by a high speed clock CLK0 or a low speed clock CLK1. Then the generation circuit is provided with a signal switch circuit (dividing action decision circuit) 10 which produces a switch signal Act to switch the clock frequency when a prescribed order (processing start/end) is received, and a variable clock supply circuit 20 which supplies the clock CLK0 to the unit 31 and also the clock CLK1 to the unit 32 respectively in a 1st operating environment (highest priority circuit operation) that is decided by the contents of the instruction and the signal Act and then supplies the clocks CLK0 to both circuits 31 and 32 in a 2nd operating environment (highest priority circuit non-operation) that is decided by the contents of the instruction and the signal Act.





クロックで動作させ、システムバスを8MHzで動作させ、ビットマップ画像出力処理などの重い処理を行う部分を16MHzで動作させる、といったことが行われる。

周囲環境 ( $CLK_0$ ) を供給するようにしている。  
00000001 [実装実例] システムの動作状況 (入力命令の内容) に応じて、システムの動作クロックを生成する各处理器部 (第1、第2ユニット) が、必要な部分へ必要な時 (第1の動作期間) にだけ高クロック ( $CLK_0$ ) を供給するようにして、システムの性能を落とすことなく電源消費電流を抑える。  
000101 [実装実例] 以下、因而を参照して、この発明の一実施例を記載する。  
000111 [実装実例] 図11は、この発明の一実施例に係る引変2と、図12と発生装置を含むシステムの構成を示す。また、図13は、この装置の動作を説明するタイミングチャートで

5. 000112] 入力クロック CLK0 は、図示しないシステム CLK とクロック発生回路から得ている。たとえば 1.6 MHz のクロック CLK0 を得る場合、このシステムクロック CLK0 が 3.2 MHz の水晶発振器と、その出力を ユーティ比 5:0 に分割するフリップフロップ (1/2 分割器) で構成できる。このシステム CLK0 は、クロック発生回路を CMOS 回路で構成しておくと、この CMOS クロック発生回路は簡単なものにできるので、他の CMOS クロック発生回路自体の規制動作を止めない。

ア、筋肉ユニット31～筋肉ユニット33へ供給される動作クロックC1.K0で動作するCPUはよりメモリなどで構成される最優先回路（または優先回路）10bとを含んでいる。周波数制御回路10aの動作条件は、最優先回路10bまたは各動作クロック10aからの処理開始／終了入力（信号あるいは命令）によって制御される。

〔0014〕 分割動作決定回路10において、最優先回路（または優先回路）10bの内部CPUから周波数制御回路10aへ処理開始命令が入力されると、周波数制御回路10aは、クロックC1.K0のタイミングでその動作を開始する。その際、所定の条件（優先条件または優先条件）が満たされたると、アクティブ信号A1cが発生される。たとえば、バージナルコンピュータのメモリが最高速度で動作する必要のない部分CPU（指示からされるキー一ポート）が所定時間（ユーチャーからキー一ポート）を超過した場合（たとえば1分）で、ある優先条件（または優先条件）が満たされ、システムクロックの周波数を割り込まれると、動作決定回路10aに投入される。すると、分割動作決定回路10aはアクティブ信号A1cを発生する。

〔0015〕 上記説明から明らかのように、この実施例で述べている「優先条件（または優先条件）」とは既定された内容のものではなく、システム構成や操作条件のプログラムの内容によって動作が変更される。

[0021] クロックを停止とした前 1 動作ユニット 3-1 ～第 3 動作ユニット 3-3 が円内に高速クロック CLK1.K.0 で動作する時間内になると (図 2 の 1)。周波数制御回路 1-0 は処理終了入力を最高先回路 1-0 の CPU (あるいは各循回路ユニット 4-0) から受信する。

[0022] 以上とまとめると、必ず最も先回路 1-0 の CPU がクロックを下げて動作を行なうために、処理開始命令を周波数制御回路 1-0 に投入する。この命令を受けると、周波数制御回路 1-0 は、命令内蔵に応じた「最高先条件」の判定を行い、この条件が満足されると、所定定期間 (図 2 の 1.5 ～ 1.0) 慢慢動作を行なうアカティブ信号 A-1 を出力する。この慢慢動作定期間中はクロック周波数を停止した分だけ電源電流が低減される。

[0023] 上記実施例は、次のような作用効果を持つ。

[0024] まず、高クロックを必要としない低优先度のユニットへのクロック周波数を下げるから、その分の電源電流が減る。

[0025] クロックを下げる動作ユニットが複数ある場合は、各ユニットの分回路タイミングをやらしている (図 2 の 1 ～ 1.3)。するとクロック変更時間での電源電流ピーク (バルス状) が同時に避けられ、クロック変更に伴う電源ノイズレベルが小さくなる。このため、装置を 1C 化した場合において、1C パッケージの電源ピン、グランドピンの数を減らしても (1C ピン数を削減する部分の電源インヒーダンスは高くなるが)、クロック変更に伴う電源ノイズレベルで回路動作にエラーが生じにくくなる (電源ピン、グランドピンの数を減らせば、1C パッケージのコストを下がることができ

生する (図 2 の時間 1s)。

[0015] アカティブ信号 A-1 は、分回路時間 2.0 に投入される。分回路時間 2.0 は、「システムクロック周波数を停止する」動作命令に対してはアクティブ信号 A-1 を受けている期間中 (図 2 の 1.5 ～ 1.0) である最高优先度条件が満足されている期間)、最高优先動作に入る。

[0016] 分回路時間 2.0 は、アクティブ信号 A-1 を受けないと (1.5)、入カクロック CLK0 のクロックタイミングでクロック CLK0 を順々に分回し、1クロック (1.1, 1.2, 1.3) で、たとえば 1/2 に分離されたクロック CLK1～CLK3 を発生する。こうして得られた低速クロック CLK1.K.1～CLK3 は、モード 3、モード 3-1～3-3 動作ユニット 3-3 に供給され、それと同時に、供給された低速クロック CLK1.K.1～CLK3 により、少し電源電流が減り、動作効率がもつて、必要な分動作速度で所定の処理を実行する。

[0017] ここで「最高先回路動作」とは、待回路部全体への「システムクロック周波数を停止する」ことを最高优先させろる動作をいう。換算すると、この待回路部を待けるを高速クロックで動作させせて、何時刻群 (あるいは高速クロックで動作させていた方が他の回路部の動作速度上有利であっても)、「最高先回路動作」では、この待回路部分へのシステムクロック周波数が停止となる。さらに別の言い方をするとならば、「最高优先回路動作」では、クロック周波数が停止される待回路部の部分よりも、クロック周波数が停止されない回路部分の方が、動作性能上最高優先 (あるいは最高优先) である (動作性能上最高優先) ことである。

図示しない他の回路の動作性能が優先して動作する (動作性能上) ことは、

1～第3動作ユニット33へ供給  
CL,K1～CL,K3を1/2に分  
け。

三

生する（図2の時間1 s）。

【0015】アクティブ信号A<sub>c</sub>は、分周回路2.0に投入される。分周回路2.0は、「システムクロック周波数を標準とする」内部の命令に対応したアクティブ信号A<sub>c</sub>を受けている期間中（図2の1 s～1.6 s：ある優先回路動作に入る）。

【0016】分周回路2.0は、アクティブ信号A<sub>c</sub>を受けると（1.6 s）、ハクロックCLK0のクロックタイミングでクロックCLK0を断々に分周し、1クロック周期を2つずれたタイミング（1.1, 1.2, 1.3）で、たとえば1／2に分周されたクロックCLK1～CLK3を発生する。こうして得られた低速クロックCLK1～CLK3は、それぞれ3.1～3.3動作ユニット3.1～3.3に供給される。第1動作ユニット3.1～3.3動作ユニット3.3は、それぞれ、供給された低速クロックCLK1～CLK3により、少ない電源消費電流でもって、必要な十分な動作速度で所定の処理を実行する。

【0017】ここで「優先回路動作」とは、特定回路部分への「システムクロック周波数を標準とする」ことを実現する、この特定回路部分の動作を優先させる動作をいわ。換算すると、この特定回路部分の動作を高速クロックで動作させさせていて何等問題がなくとも（あるいは高速クロックで動作させていたが他の回路部分の動作速度上有利であっても）、「優先回路動作」では、この特定回路部分へのシステムクロック周波数が標準となる。さらには別の方をやさすならば、「優先回路動作」では、クロック周波数が標準となる特定回路部分よりも、クロック周波数が標準されない回路部分の動作が動作速度上有利となる（つまり、動作時間が短くなる）。

【0018】また、ここで「優先動作条件（または優先動作条件）」とは、図示しない他の動作条件が存在する場合に、動作性能上優先（あるいは優先動作）される。

100

10081

周囲環境 ( $CLK_0$ ) を供給するようにしている。  
00000001 [実装実例] システムの動作状況 (入力命令の内容) に応じて、システムの動作クロックを生成する各处理器部 (第1、第2ユニット) が、必要な部分へ必要な時 (第1の動作期間) にだけ高クロック ( $CLK_0$ ) を供給するようにして、システムの性能を落とすことなく電源消費電流を抑える。  
000101 [実装実例] 以下、因而を参照して、この発明の一実施例を記載する。  
000111 [実装実例] 図11は、この発明の一実施例に係る引変2と、図10と発生部を含むシステムの構成を示す。また、図11は、この実施例の動作を説明するタイミングチャートで

5. 000112] 入力クロック CLK0 は、図示しないシステム CLK とクロック発生回路から得ている。たとえば 1.6 MHz のクロック CLK0 を得る場合、このシステムクロック CLK0 が 3.2 MHz の水晶発振器と、その出力を ユーティ比 5:0 に分割するフリップフロップ (1/2 分割器) で構成できる。このシステム CLK0 は、クロック発生回路を CMOS 回路で構成しておくと、この CMOS クロック発生回路は簡単なものにできるので、他の CMOS クロック発生回路自体の規制動作を止めない。

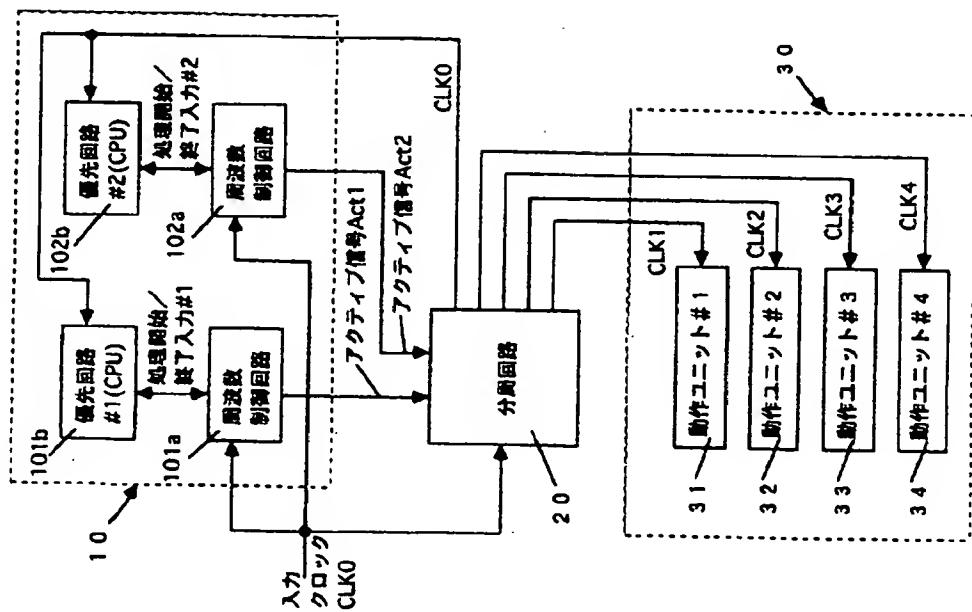
ア、第1動作ユニット3.1～第3動作ユニット3.3へ供給される動作クロックC1,K1～C1,K3を1/2に分割して負荷を軽減する。





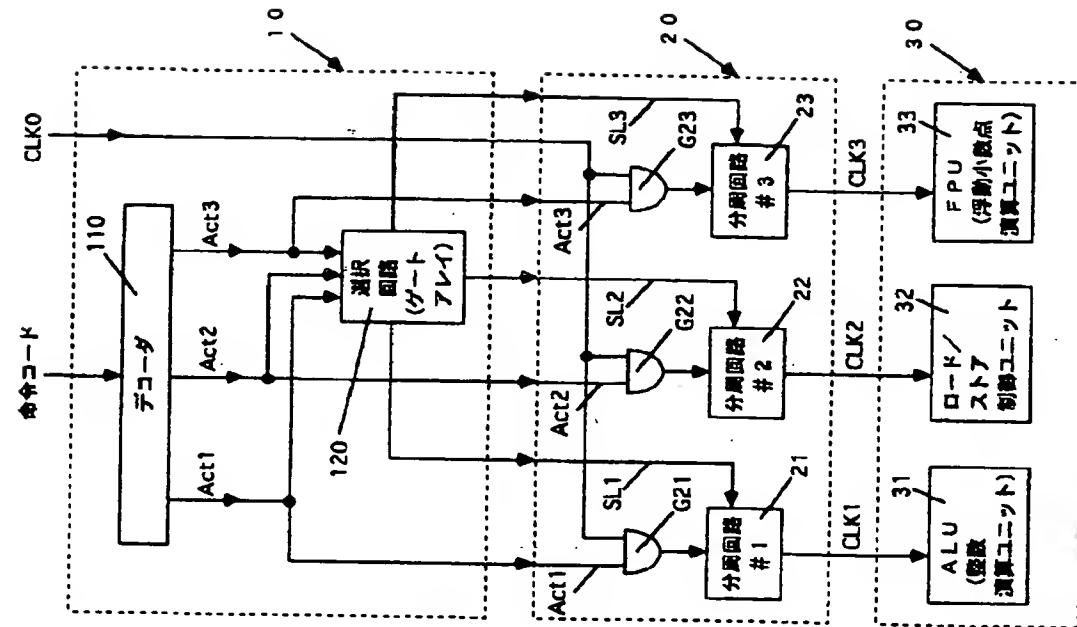
(9)

[図3]



(10)

[図6]



(11)

